

PATENT



Customer No.31561
Docket No.: 10613-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chung-Meng Huang
Application No. : 10/604,691
Filed : August 11, 2003
For : STACK-GATE FLASH MEMORY ARRAY
Examiner :

COMMISSIONER FOR PATENTS

2011 South Clark Place
Crystal Plaza Two, Lobby, Room 1B03
Arlington VA 22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:92114350,
filed on:2003/05/28.

A return prepaid postcard is also included herewith.

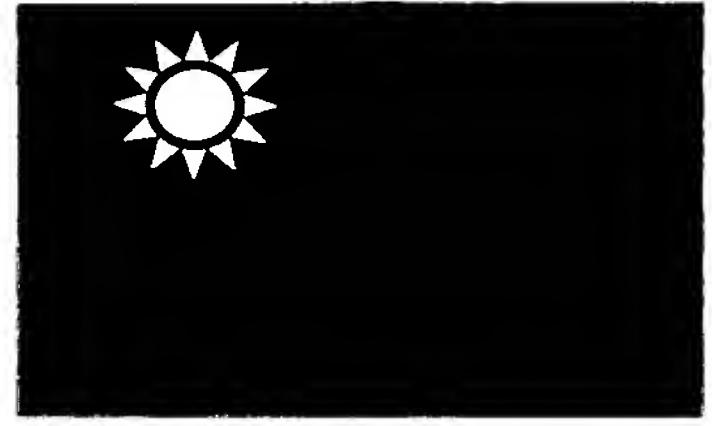
Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: October 22, 2003

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 05 月 28 日
Application Date

申 請 案 號：092114350
Application No.

申 請 人：華邦電子股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 8 月 6 日
Issue Date

發文字號：09220796960
Serial No.

申請日期：

申請案號：

IPC分類

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	堆疊閘極快閃記憶體陣列
	英 文	STACK GATEFLASH MEMORY ARRAY
二、 發明人 (共1人)	姓 名 (中文)	1. 黃仲盟
	姓 名 (英文)	1. Chung-Meng Huang
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市光華二街18號6樓
	住居所 (英 文)	1. 6Fl., No. 18, Guanghua 2nd St., Hsinchu City, Taiwan 300, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 華邦電子股份有限公司
	名稱或 姓 名 (英文)	1. Winbond Electronics Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區研新三路四號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 4, Creation Road III, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
代表人 (中文)	1. 焦佑鈞	
代表人 (英文)	1. Arthur Y.C. Chiao	



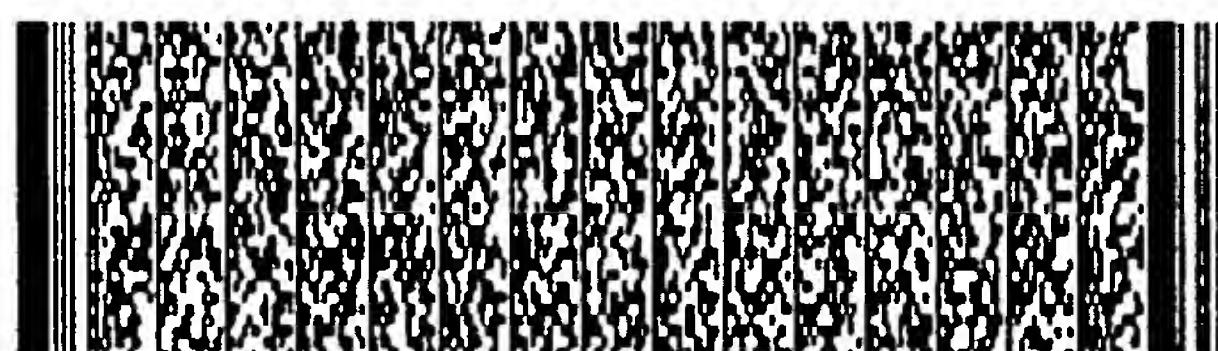
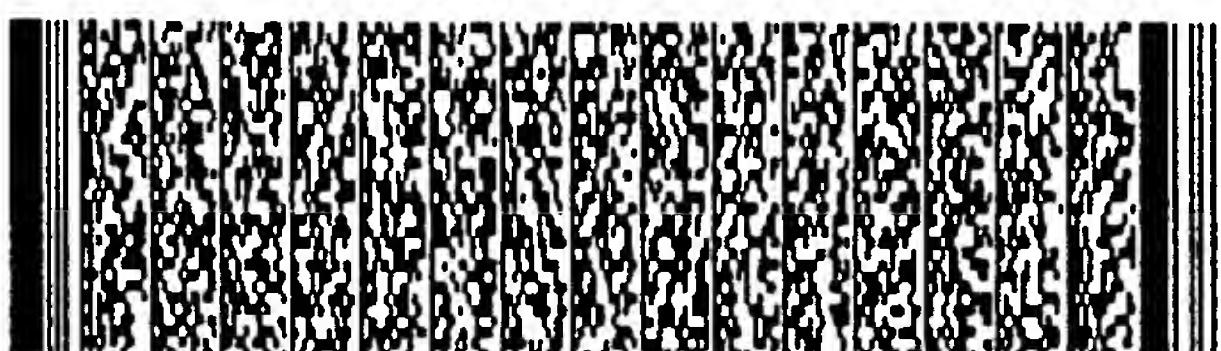
10015twf.ptd

四、中文發明摘要 (發明名稱：堆疊閘極快閃記憶體陣列)

一堆疊閘極快閃記憶體陣列，當其中具有某一特定位元線路之及字元線路之某一記憶格(cell)被過度抹除(over erase)而使該記憶格具有不穩定位元(erratic bits)時，其他與此記憶格具有相同位元線路、不同字元線路之記憶格不會受到此記憶格之漏電流(leak current)之影響，而使整個堆疊閘極快閃記憶體陣列中所記憶之資料發生錯誤。在此堆疊閘極快閃記憶體陣列中，記憶格之一位元線路被分為兩獨立之位元線路，而兩相鄰之字元線路則透過一電晶體之閘極被連結成一列。如此在此陣列中，某記憶格發生漏電流之情形時，對於其他與該記憶格具有相同位元線路、不同字元線路之記憶格，因為位元線路已分開，而且連結兩相鄰字元線路之該電晶體亦會阻斷該漏電流之傳遞，因此該漏電流不會影響到其他記憶格。因此在新式之陣列中，在執行寫入(program)或抹除(erase)動作時，不會有由不穩定位元產生之漏電流影響。

六、英文發明摘要 (發明名稱：STACK GATEFLASH MEMORY ARRAY)

A stack-gate flash memory array is provided for preventing the delivery of the leak current when a cell having a set of a specific bit line, a word line and a common source line has an erratic bit. The other cells having the same bit line but different word lines will not have wrong cell current leaking produced by the leak current. In the stack-gate flash array, one bit line is



四、中文發明摘要 (發明名稱：堆疊閘極快閃記憶體陣列)

陣列之情形發生。

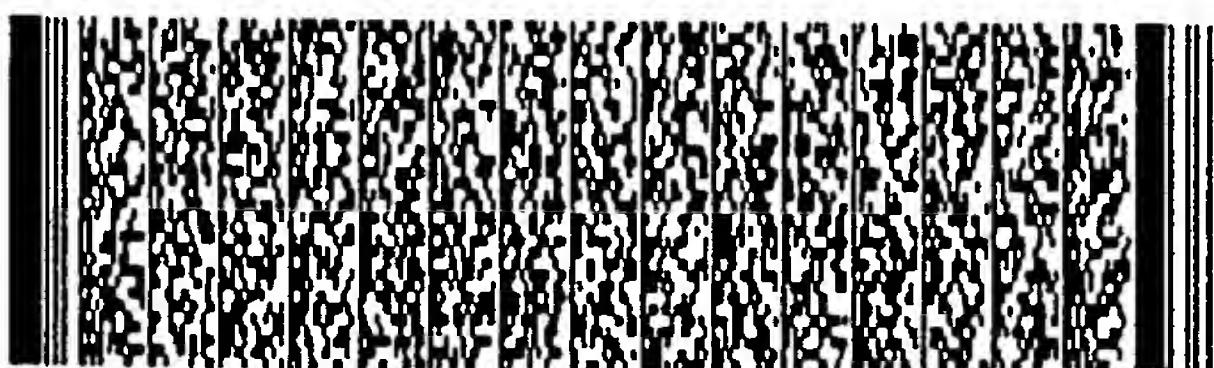
伍、(一)、本案代表圖為：第____2____圖

(二)、本案代表圖之元件代表符號簡單說明：

202 獨立之電晶體組 204 記憶格

六、英文發明摘要 (發明名稱：STACK GATEFLASH MEMORY ARRAY)

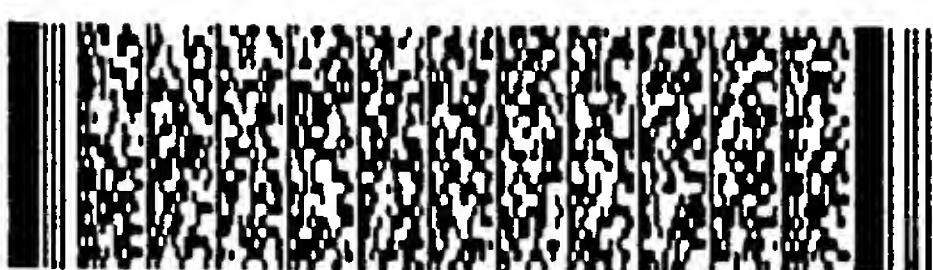
divided into two isolated bit lines and two adjacent word lines are connected into one word line through a gate of an isolated transistor. Therefore when a cell having a set of a specific bit line, a word line and a common source line has an erratic bit, the delivery of a leak current provided by the erratic bit is disabled by the separated isolated bit lines and the associated



四、中文發明摘要 (發明名稱：堆疊閘極快閃記憶體陣列)

六、英文發明摘要 (發明名稱：STACK GATEFLASH MEMORY ARRAY)

isolated transistor. So any program or erase cycle will success without any leaking current from erratic bits in the present invention.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

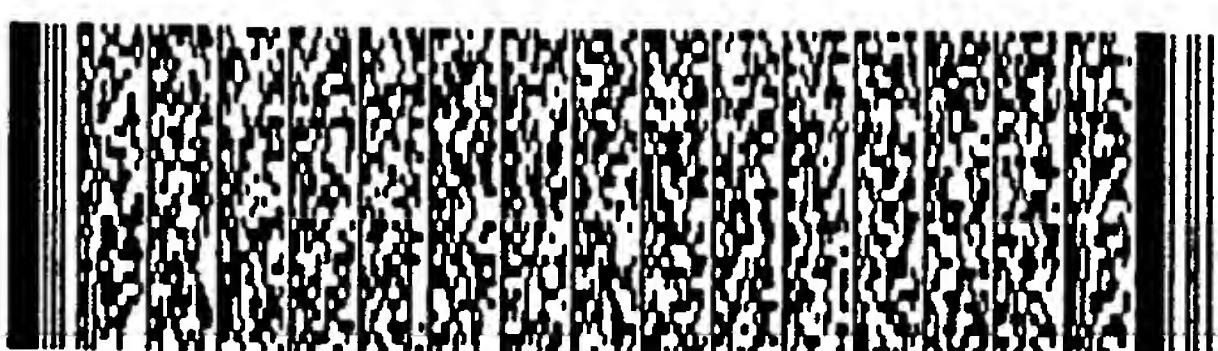
發明所屬之技術領域

本發明是有關於一種堆疊閘極快閃記憶體陣列的設計及製造方法，且特別是有關於一種可避免由不穩定位元產生漏電流之影響之堆疊閘極快閃記憶體陣列的設計及製造的方法。

先前技術

習知之半導體記憶體(memory)的種類，基本上可粗分為非揮發性(non-volatile)的記憶體，以及揮發性(volatile)的隨機存取記憶體(Random Access Memory, "RAM")兩種。其中非揮發性記憶體意謂在電源中斷後仍可保存原有儲存之資料，依其功能不同可分為唯讀記憶體(Read Only Memory, "ROM")、可程式唯讀記憶體(Programmable ROM, "PROM")、可抹除可程式唯讀記憶體(Erasable PROM, "EPROM")、可電性抹除可程式唯讀記憶體(Electrically Erasable PROM, "EEPROM")、遮罩式唯讀記憶體(Mask ROM)以及快閃記憶體(Flash memory)等。而揮發性記憶體則是指所儲存的資料會隨電源的中斷而消失，如靜態隨機存取記憶體(Static Random Access Memory, "SRAM")，以及動態隨機存取記憶體(Dynamic Random Access Memory, "DRAM")。

習知之唯讀記憶體只能讀不能寫，在關閉電源後，記憶體中之資料不會消失，可永久保存。對於可抹除可程式唯讀記憶體，其中舊有的資料或程式可利用紫外線照射來加以消除，使用者可以重複使用該記憶體。對於可電性抹

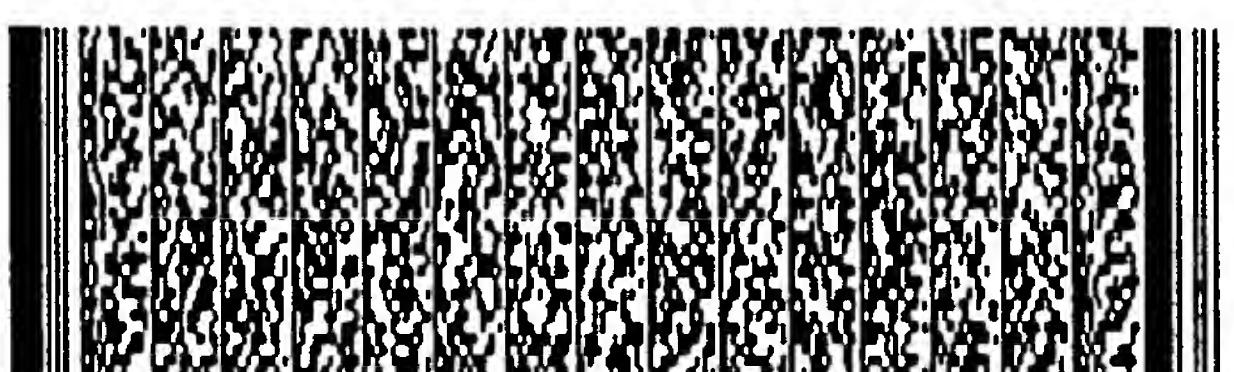


五、發明說明 (2)

除可程式唯讀記憶體，其特性是須用一電壓來抹除資料，再加以程式化，其資料儲存方式與可抹除可程式之唯讀記憶體相似。對於遮罩式唯讀記憶體，其資料係由製造廠商在記憶體製造過程中寫入，寫入之後就不能再修改。

對於快閃記憶體，其製造技術是由可抹除可程式唯讀記憶體和可電性抹除可程式唯讀記憶體演化而來的，它綜合了可抹除可程式唯讀記憶體快速規劃的能力和可電性抹除可程式唯讀記憶體的電性抹除方式，所以不需要照射紫外線來消除資料。在電腦正常使用中，靜態隨機存取記憶體、動態隨機存取記憶體以及快閃記憶體都可隨時更改機存取記憶體裡的資料，但一旦關機後，靜態隨機存取記憶體以及動態隨機存取記憶體裡的資料都會消失，而快閃記憶體的資料則依然存在，因此快閃記憶體兼具唯讀記憶體非揮發性與隨機存取記憶體可存取性的優點，因此快閃記憶體已成為當前非揮發性記憶體之主流。其記憶格(cell)陣列(array)之設計方式亦為當前重要之課題。

第1圖為習知的堆疊閘極快閃記憶體陣列之電路圖。請參照第1圖。一習知的堆疊閘極快閃記憶體陣列(Stack-Gate Flash Memory Array)，包括 $-2N$ 列 $2M$ 行之由電晶體(transistor)所構成之記憶格(cell)，以一組位元線路(Bit Line, "BL")包括圖中之BL₀到BL_{2M-1}、一組字元線路(Word Line, "WL")包括圖中之WL₀到WL_{2N-1}，以及共(common)源極線路(Source Line, "SL")將這些記憶格連結起來。當其中連結到某一特定位元線路(例如說

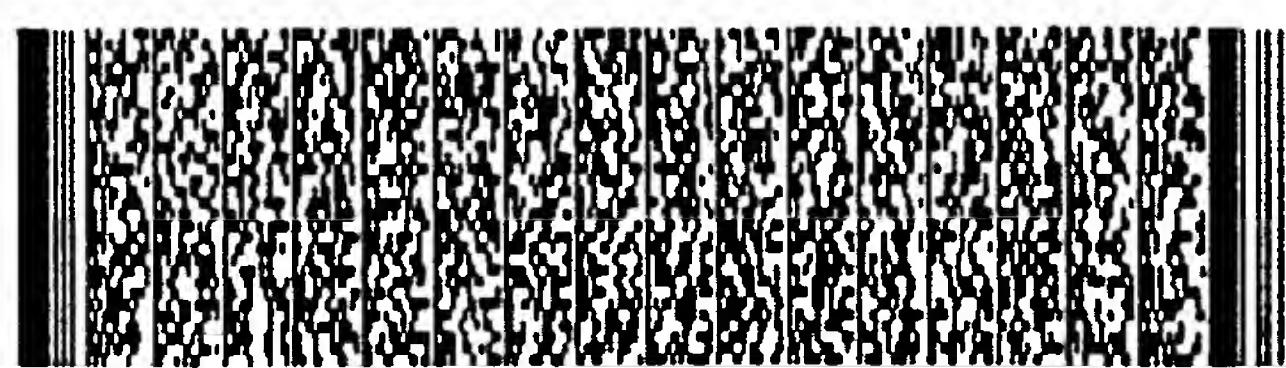


五、發明說明 (3)

BL1) 與某一特定字元線路（例如說WL1）之一記憶格102被過度抹除(over erase)而使記憶格102具有不穩定位元(erratic bit)時，記憶格102會產生一漏電流(leak current)，使得其他與位元線路BL1連結之記憶格（例如記憶格104與記憶格106等等），即使各自連結到不同字元線路WL0與WL2，亦會受到記憶格102之漏電流(leak current)之影響，而具有錯誤之資料，造成該堆疊閘極快閃記憶體陣列中所記憶之資料發生錯誤。對於具有不穩定位元之記憶格102，產生漏電流之原因是因為記憶格102之起始電壓(Threshold voltage)變為負值。

當上述之堆疊閘極快閃記憶體陣列在讀取(read)動作時，其速度就如同一般的唯讀記憶體。但是當其陣列中有一不穩定位元產生一漏電流時，此時若要執行寫入(program)動作，則必須將記憶格原本的資料抹除(erase)，然後再寫入新的資料，但因為上述習知之陣列為共源極線路，所以其抹除方式為一次抹除所有位元格之資料，所以需耗費較長的時間，此為習知堆疊閘極快閃記憶體陣列之一缺點。

此外，由於快閃記憶體的電氣充放電特性，使得其讀寫次數有物理上的限制。對一個快閃記憶體區塊的讀寫，製造廠商會在內部韌體做到讀寫次數的計數，當達到讀寫指定的最高次數時，就會把那一塊區塊標定為不再使用的區域，所以快閃記憶體陣列是有可能在極度頻繁的使用下，容量越用越小。此時對於快閃記憶體的使用管理，是



五、發明說明 (4)

一個重要的課題，包括如壞區塊的位置記錄與取代，以及讀寫次數的計數，還有讀出資料的錯誤偵測與更正等。因為一般快閃記憶體的讀寫可用次數，約在十萬次左右，故減少上述抹除次數可增加記憶體之壽命。

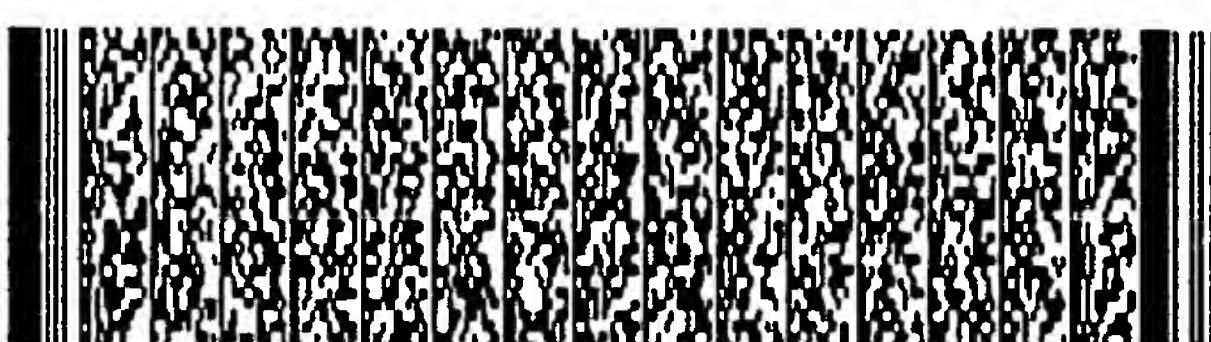
發明內容

因此本發明的目的就是在提供一種堆疊閘極快閃記憶體陣列電路設計及製造方法，避免因不穩定位元組產生之漏電流所造成的資料錯誤之影響。

本發明的目的再一目的是提供堆疊閘極快閃記憶體陣列電路設計及製造方法，可減少抹除次數並增加該快閃記憶體之使用壽命。

為了達成前述之目的，本發明提出一種堆疊閘極快閃記憶體陣列電路設計及製造方法，來避免上述錯誤情形之發生。在本發明中，習知之一記憶格之一位元線路被獨立之兩獨立之位元線路，而習知之兩字元線路則透過一獨立之電晶體之閘極被連結在一起。如此當新式之堆疊閘極快閃記憶體陣列電路中，某記憶格發生漏電流之情形時，對於其他與該記憶格具有相同位元線路、不同字元線路之記憶格，因為位元線路已分開，而且連結兩字元線路之該電晶體亦會阻斷該漏電流之傳遞，因此該漏電流不會影響到其他記憶格。因此在新式之堆疊閘極快閃陣電路中，在執行寫入或抹除動作時，不會有由不穩定位元產生之漏電流影響陣列之情形發生。

本發明因採用上述發明之一種新式堆疊閘極快閃記憶



五、發明說明 (5)

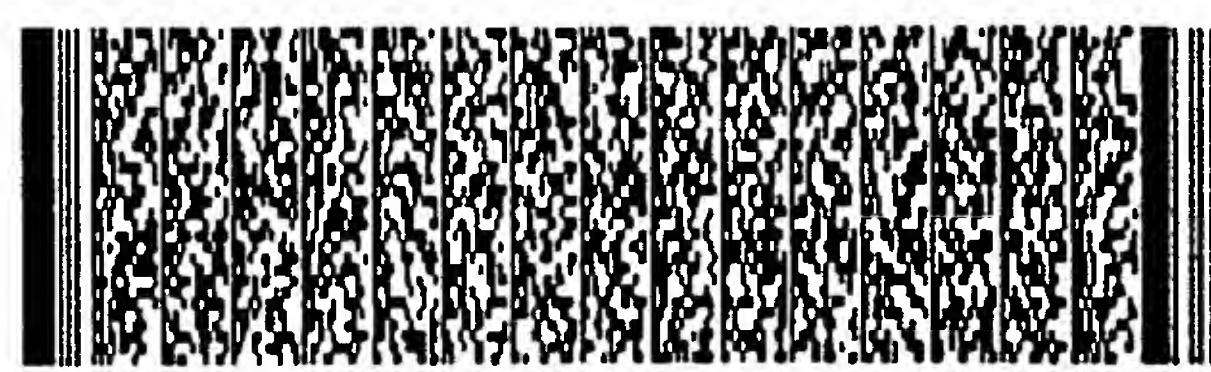
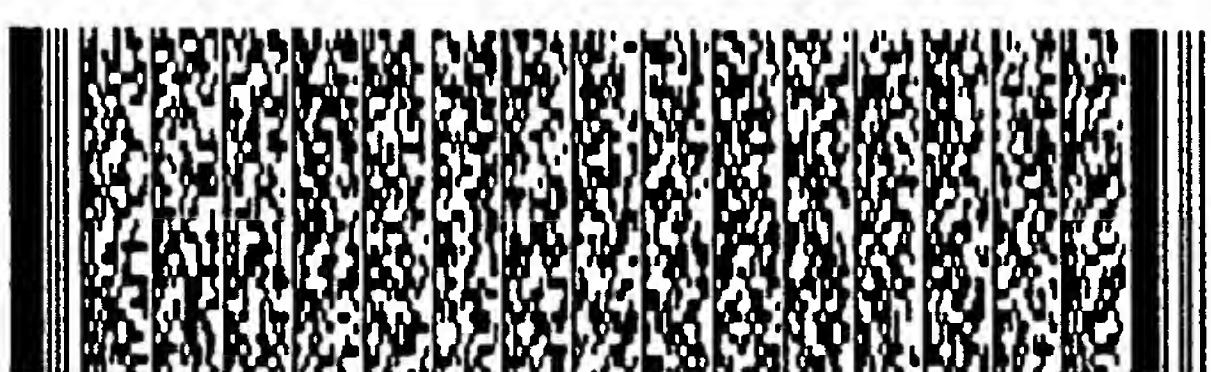
體陣列電路設計及製造方法，因此可避免因不穩定位元組產生之漏電流所造成的資料錯誤之影響，亦可減少抹除次數並增加該快閃記憶體之使用壽命。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

第2圖是本發明的堆疊閘極快閃記憶體陣列電路圖，依照本發明一較佳實施例，請參照第2圖。

一新式的堆疊閘極快閃記憶體陣列200，包括一 2^N 列 2^M 行之由電晶體所構成之記憶格(Memory Cell)，以一組位元線路(Bit Line，底下簡稱BL)包括第2圖中之BL0到BL 2^M+1-1 、一組字元線路(Word Line，底下簡稱WL)包括圖中之WL0到WL 2^N-1-1 、一組 2^N-1 列獨立電晶體組(Isolated Transistors)202以及共源極線路SL將這些記憶格連結起來。對於每一行(例如第1行)，其中第1列與第4列、第5列與第8列乃至於第 $4A+1$ 列與第 $4A+4$ 列(A等於0、1、2、3等等)一直到第 2^N-3 列與第 2^N 列之記憶格，所有這些記憶格之汲極互相連結成為一位元線路(例如第1行之記憶格依此方法形成之位元線路為BL0)，同時，對於此行(例如第1行)，其中第2列記憶格與第3列、第6列與第7列乃至於第 $4A+2$ 列與第 $4A+3$ 列，一直到第 2^N-2 列與第 2^N-1 列之記憶格，所有這些記憶格之汲極互相連結成為一位元線路(例如第1行之記憶格依此方法形成之位元線



五、發明說明 (6)

路為BL1)。

在此陣列中，所有同一列之記憶格之間極皆互相連結，其中第1列記憶格之間極與第2列記憶格之間極，共同連接到列獨立電晶體組202其中之第1個電晶體之間極。以此類推，此陣列中之第3列與第4列記憶格之間極，共同連接到獨立之電晶體組202其中之第2個電晶體之間極。此陣列中之第2B-1列與第2B列(B等於1、2、3等等到2N-2)記憶格之間極，共同連接到獨立之電晶體組202其中之第B個電晶體之間極。

在此本發明一較佳實施例中之堆疊閘極快閃記憶體陣列，所有同一列之記憶格之源極皆互相連結，其中第1列記憶格之源極與第2列記憶格之源極，共同連接到列獨立電晶體組202其中之第1個電晶體之汲極。以此類推，此陣列中之第3列與第4列記憶格之源極，共同連接到獨立之電晶體組202其中之第2個電晶體之汲極。此陣列中之第2C-1列與第2C列(C等於1、2、3等等到2N-2)記憶格之源極，共同連接到獨立之電晶體組202其中之第C個電晶體之汲極。之後所有獨立之電晶體組202之電晶體之源極互相連結到共源極線路SL。

在第2圖之陣列中，當某記憶格，例如說第3列第2行之記憶格204變成不穩定位元時，因為記憶格204連接到位元線路BL3與字元線路WL1，此漏電流只會在與位元線路BL3連接之記憶格之間傳遞，但此時因為與各字元線路WL1以外連接之記憶格皆經由獨立之電晶體組202之某一電晶



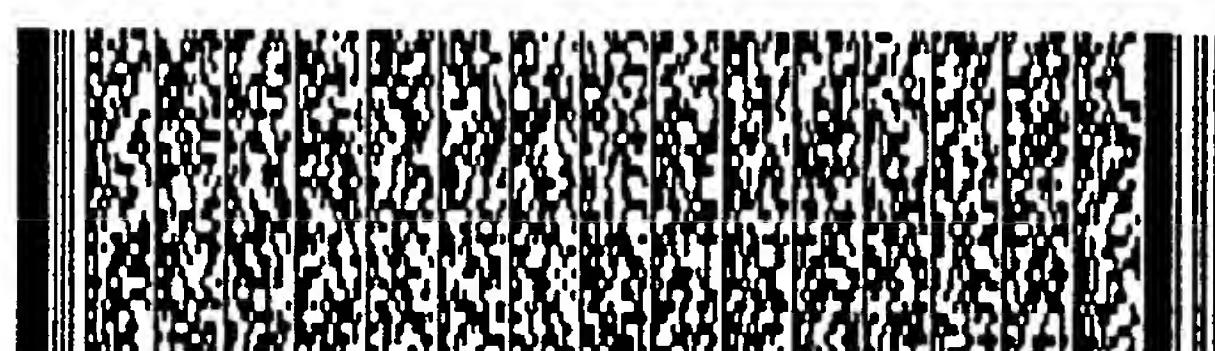
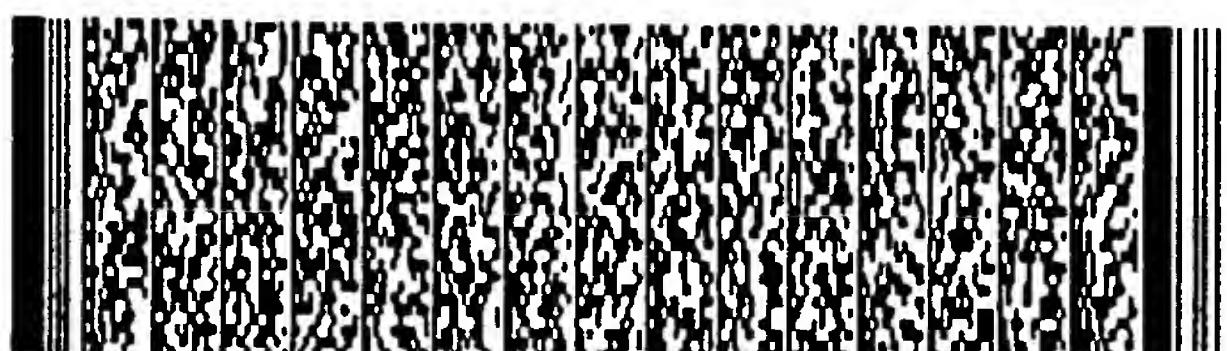
五、發明說明 (7)

體互相隔開，因此該漏電流無法在連接到位元線路BL3上之記憶格之間傳遞，因此該漏電流不會影響到其他記憶格。因此在新式之陣列中，在執行寫入或抹除動作時，不會有由不穩定位元產生之漏電流影響陣列之情形發生。

因此，當上述之陣列中有一不穩定位元產生一漏電流(Leak Current)時，此漏電流並不會影響到其他之記憶格，此時若要執行寫入(Program)動作，則不須將記憶格原本的資料抹除(Erase)，即可執行寫入新的資料，所以可以節省許多抹除時間，此為本發明堆疊閘極快閃記憶體陣列之一優點。

第3圖是本發明的堆疊閘極快閃記憶體裝置電路圖，依照本發明一較佳實施例。以下，請參照第3圖。

在第3圖中，繪示第2圖中之堆疊閘極快閃記憶體陣列200之應用方法與裝置。在一記憶體裝置300中，對所有堆疊閘極快閃記憶體陣列200之位元線路組及字元線路組，個別均需一組位元線解碼器(Bit Line Decoders)302，以及一組字元線解碼器(Word Line Decoders)304。位元線解碼器302，用以耦接一位元信號BLS，解碼後經由複數條位元線BL0到BL_{2M-1-1}其中之一，輸出一位元對選擇信號。字元線解碼器304，用以耦接一字元信號WLS，解碼後經由複數條字元線WL0到WL_{2N-1-1}其中之一，輸出一字元選擇信號。如此，藉由位元線解碼器302之位元對選擇信號，用以選擇堆疊閘極快閃記憶體陣列200該行其中之一，並藉由字元線解碼器304之字元選擇信號，選擇堆疊



五、發明說明 (8)

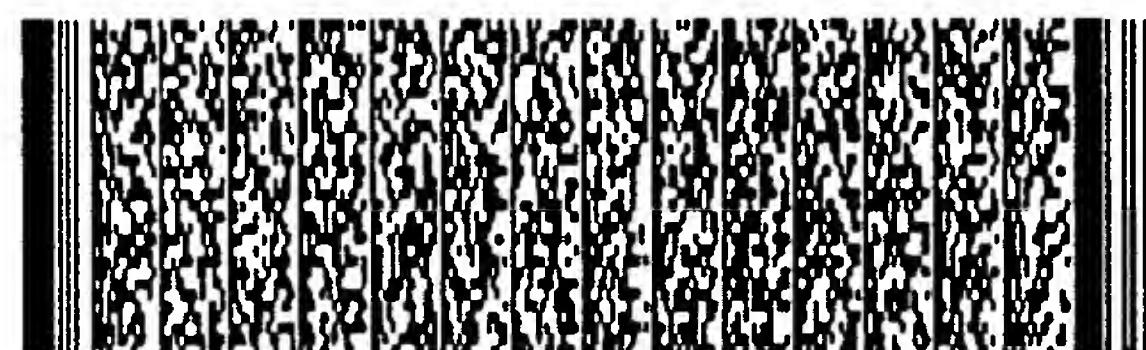
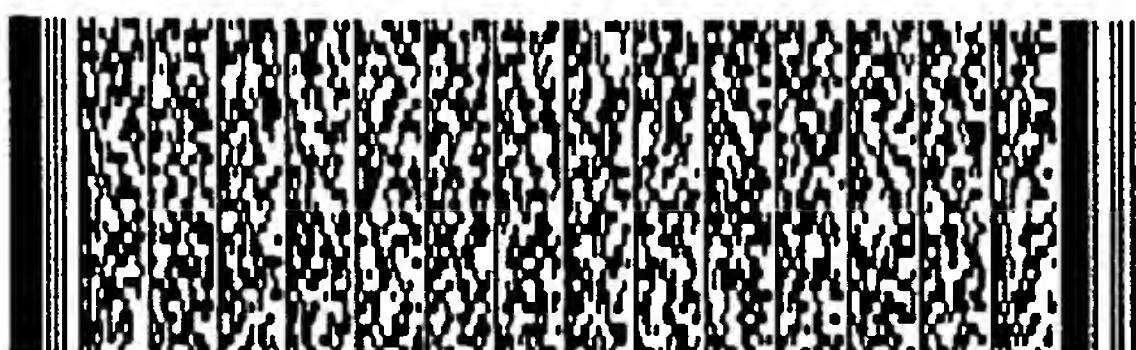
閘極快閃記憶體陣列200該列其中之一電晶體，藉以進行堆疊閘極快閃記憶體陣列200之讀取與程式化之操作。

本發明相對於習知之發明，需要兩倍的位元線解碼器302以及半數的字元線解碼器304。當位元線解碼器302在晶片中所佔的面積小於字元線解碼器304所佔的面積時，本發明所製造出之記憶體晶片面積小於由習知技術所製造出之記憶體晶片面積。

如上所述，依照本發明所提出之堆疊閘極快閃記憶體陣列及裝置，當其陣列中有一不穩定位元產生一漏電流時，此漏電流並不會影響到其他之記憶格，此時若要執行寫入動作，則不須將記憶格原本的資料抹除，即可執行寫入新的資料，所以可以節省許多抹除時間，此為本發明堆疊閘極快閃記憶體陣列之一優點。

另外，對本發明之堆疊閘極快閃記憶體裝置，之位元線解碼器以及字元線解碼器，相對於習知之發明，需要兩倍的位元線路解碼器以及半數的字元線路解碼器。當位元線路解碼器在晶片中所佔的面積小於字元線路解碼器所佔的面積時，本發明所製造出之記憶體晶片面積小於由習知技術所製造出之記憶體晶片面積，此為本發明堆疊閘極快閃記憶體陣列之另一優點。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖式簡單說明

第1圖是習知的堆疊閘極快閃記憶體陣列電路圖；

第2圖是本發明的堆疊閘極快閃記憶體陣列電路圖，
依照本發明一較佳實施例；以及

第3圖是本發明的堆疊閘極快閃記憶體裝置電路圖，
依照本發明一較佳實施例。

圖式標記說明：

102、104、106、204 記憶格

202 獨立之電晶體組

200 堆疊閘極快閃記憶體陣列

300 堆疊閘極快閃記憶體裝置

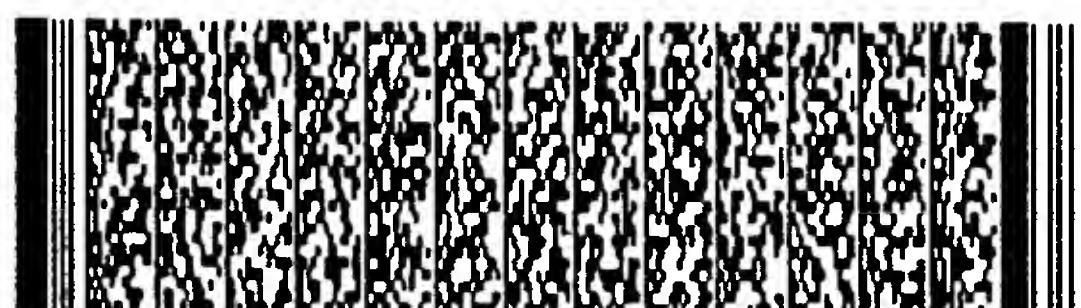
302 304 解碼器

BL 位元線

WL 字元線

BLS 位元信號

WLS 字元信號



六、申請專利範圍

1. 一種堆疊閘極快閃記憶體陣列，其包括：

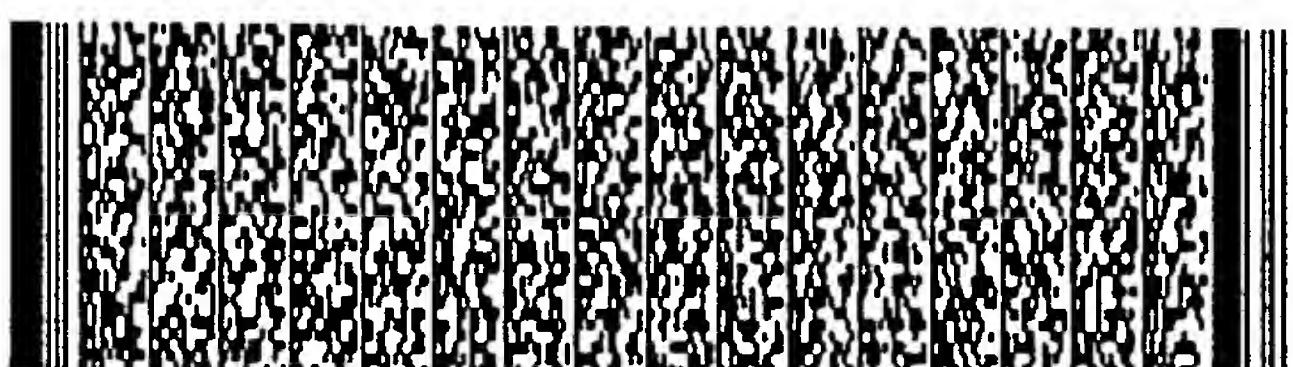
複數個電晶體，該些電晶體係以複數個行與複數個列方式排列，其中，在每一該行中之該些電晶體，每兩個相鄰之該些電晶體為一電晶體對，其中在該電晶體對中之兩該些電晶體之一源/汲極相互耦接，而該電晶體對中之其中之一該電晶體之另一源/汲極耦接至一第一位元線，另外一該電晶體之另一源/汲極耦接至一第二位元線；以及

複數個列獨立電晶體，其中每一該列獨立電晶體係對應於由在同一該行中之該些電晶體對其中之一，其中每一該列獨立電晶體之一汲/源極耦接到對應於該列獨立電晶體之一的該電晶體對之該源/汲極相互耦接之一接點，其中對應於該列獨立電晶體之一的該電晶體對中之其中之一該電晶體之一閘極耦接到一字元線，而對應於該列獨立電晶體之一的該電晶體對中之其中之另一該電晶體之一閘極係經由對應之該列獨立電晶體之一閘極耦接到該字元線。

2. 一種堆疊閘極快閃記憶體陣列，其包括：

複數個電晶體行，每一行中每兩個相鄰之該些電晶體為一電晶體對，其中在該電晶體對中之兩該些電晶體之一源/汲極相互耦接，而該電晶體對中之其中之一該電晶體之另一源/汲極耦接至一第一位元線，另外一該電晶體之另一源/汲極耦接至一第二位元線；以及

複數個列獨立電晶體，其中所有該些列獨立電晶體



六、申請專利範圍

之一源/汲極耦接到一公共源極線路，每一該列獨立電晶體係對應於由在同一該行中之該些電晶體對其中之一，其中每一該列獨立電晶體之一汲/源極耦接到對應於該列獨立電晶體之一的該電晶體對之該源/汲極相互耦接之一接點，其中對應於該列獨立電晶體之一的該電晶體對中之中之一該電晶體之一閘極耦接到一字元線，而對應於該列獨立電晶體之一的該電晶體對中之中之另一該電晶體之一閘極係經由對應之該列獨立電晶體之一閘極耦接到該字元線。

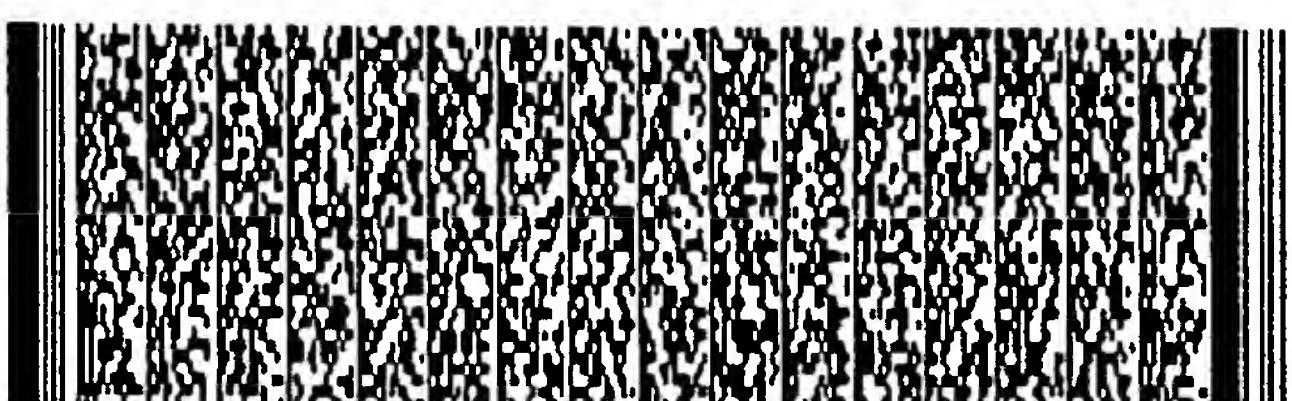
3. 一種堆疊閘極快閃記憶體裝置，包括：

一位元線解碼器，用以耦接一位元信號，解碼後經由複數條位元線其中之一輸出一位元對選擇信號；

一字元線解碼器，用以耦接一字元信號，解碼後經由複數條字元線其中之一輸出一字元選擇信號；

一堆疊閘極快閃記憶體陣列，其中包括複數個電晶體行，每一行中每兩個相鄰之該些電晶體為一電晶體對，其中在該電晶體對中之兩該些電晶體之一源/汲極相互耦接，而該電晶體對中之中之一該電晶體之另一源/汲極耦接至一位元線，另外一該電晶體之另一源/汲極耦接至第二位元線；以及

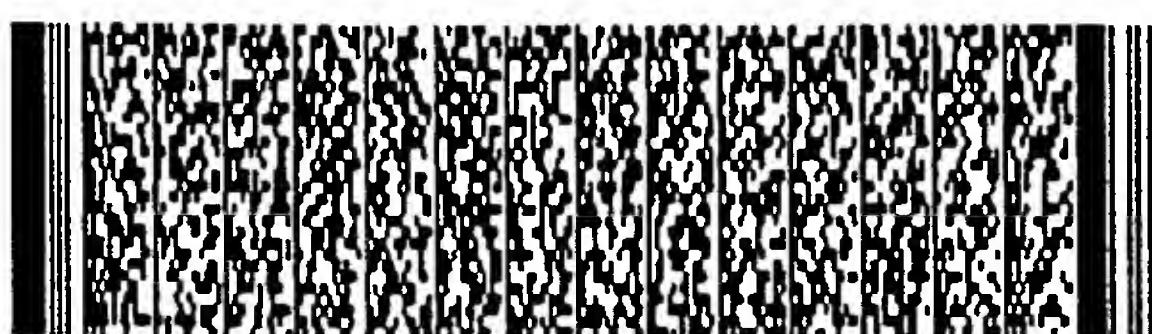
複數個列獨立電晶體，其中所有該些列獨立電晶體之一源/汲極耦接到一公共源極線路，每一該列獨立電晶體係對應於由在同一該行中之該些電晶體對其中之一，其中每一該列獨立電晶體之一汲/源極耦接到對應於該列獨立

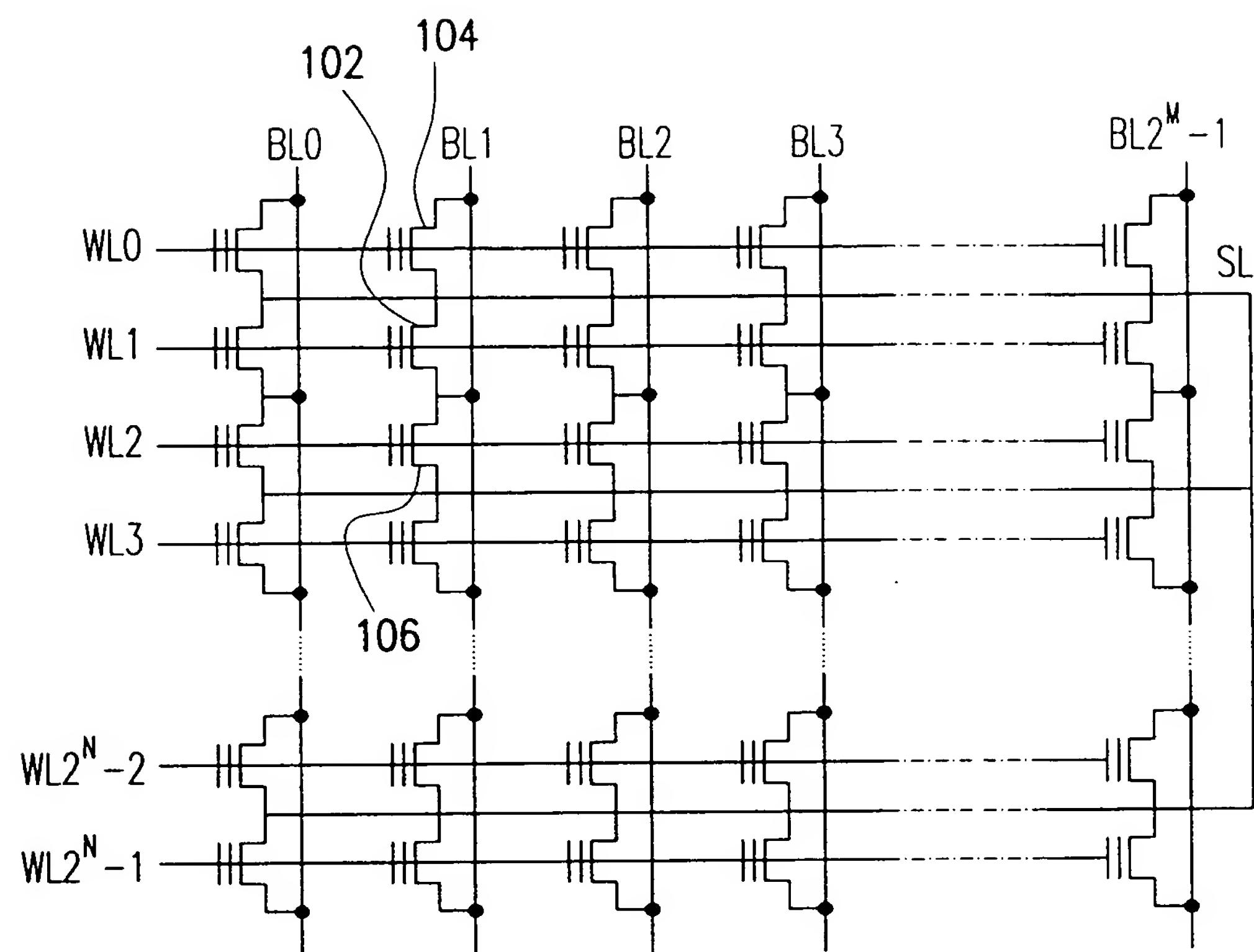


六、申請專利範圍

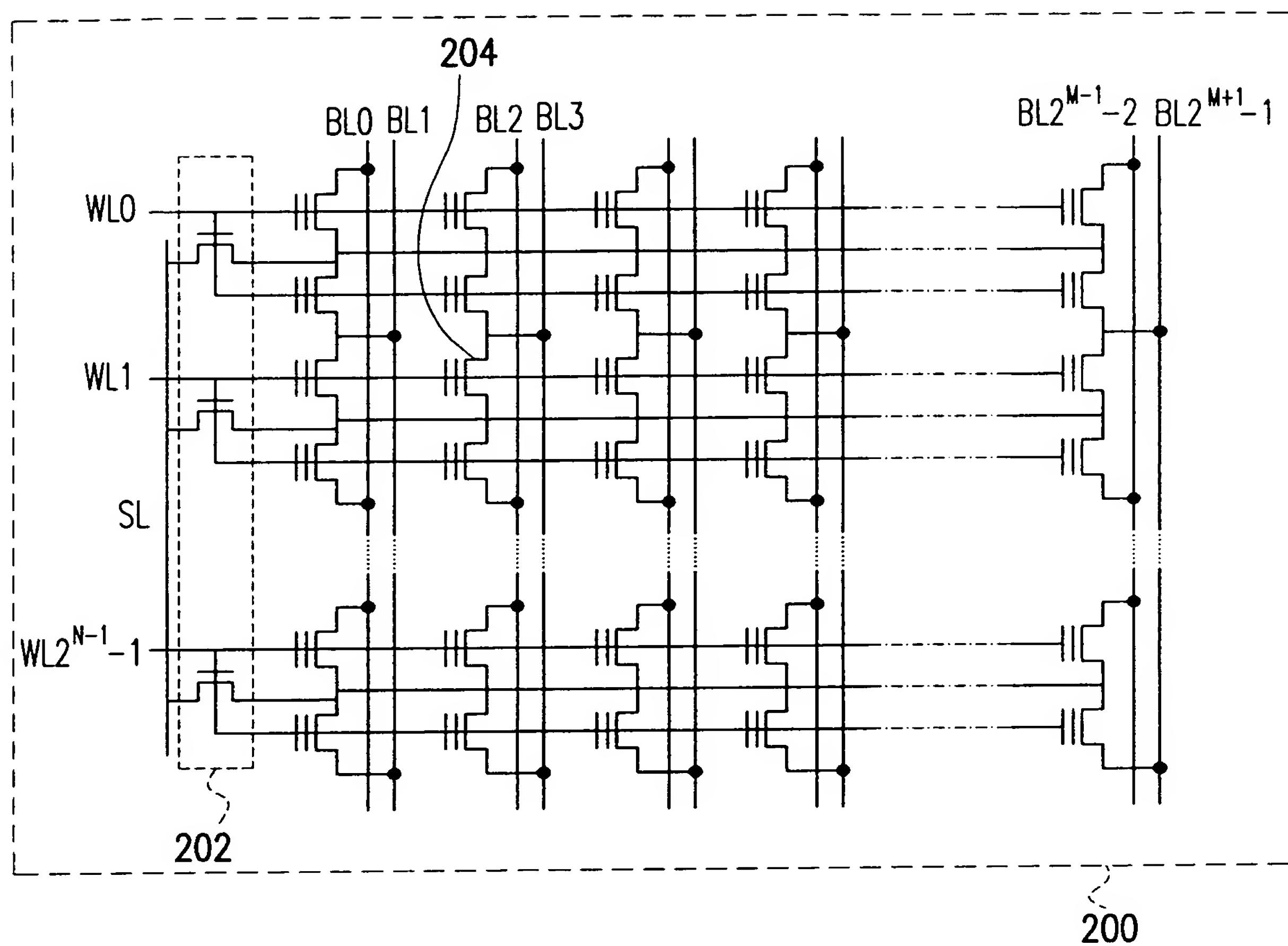
電晶體之一的該電晶體對之該源/汲極相互耦接之一接點，其中對應於該列獨立電晶體之一的該電晶體對中之中之一該電晶體之一閘極耦接到一字元線，而對應於該列獨立電晶體之一的該電晶體對中之中之另一該電晶體之一閘極係經由對應之該列獨立電晶體之一閘極耦接到該字元線，其中

藉由該位元線解碼器之該位元對選擇信號，用以選擇該些電晶體行其中之一，並藉由該字元線解碼器之該字元選擇信號選擇該列獨立電晶體其中之一與其對應之該電晶體對中之中之一該電晶體，藉以進行該堆疊閘極快閃記憶體裝置之讀取與程式化之操作。

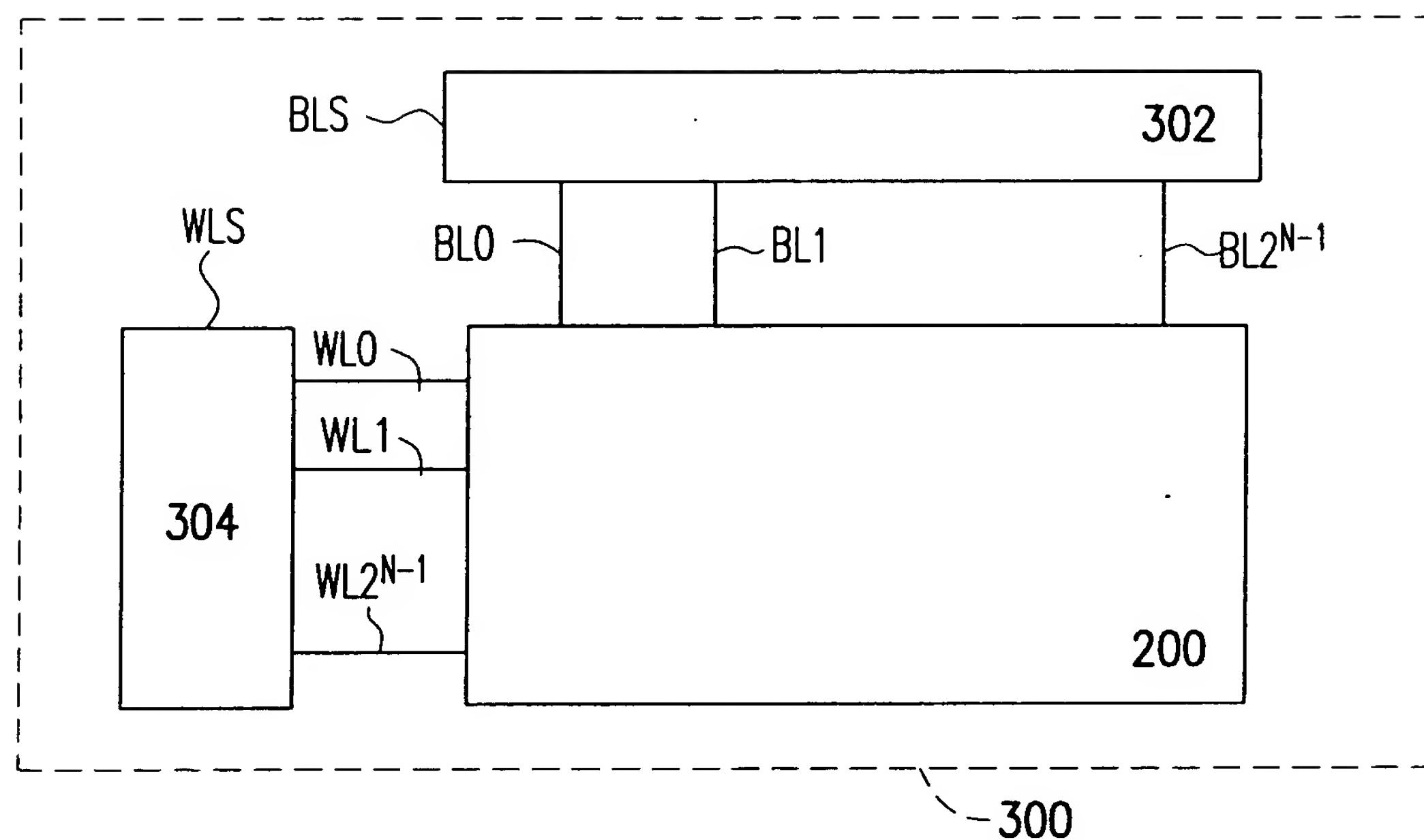




第 1 圖

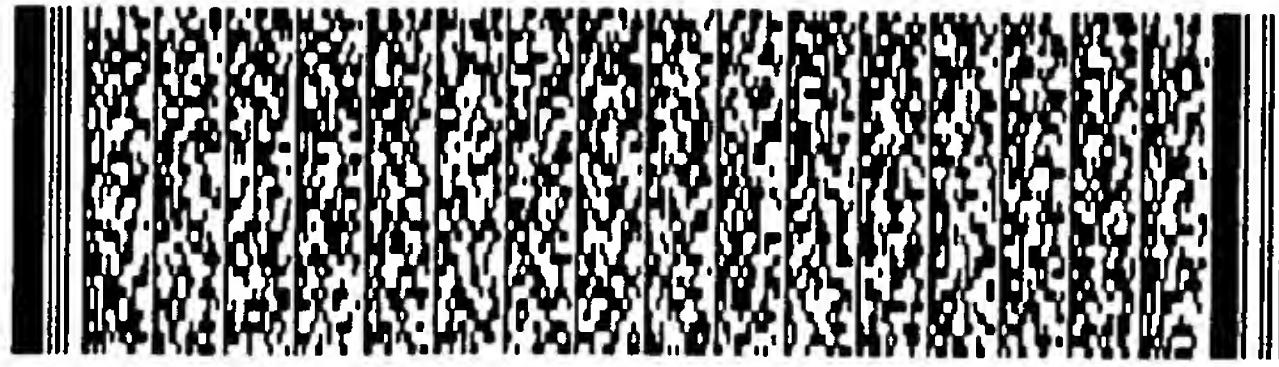


第 2 圖

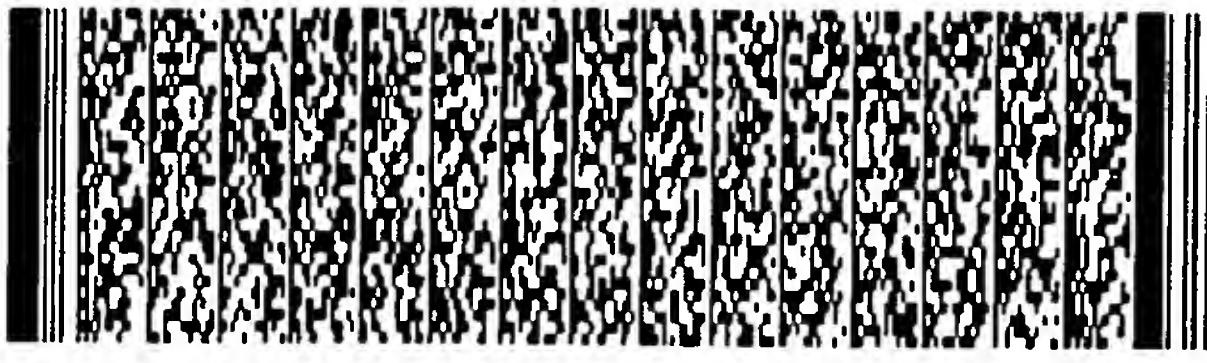


第 3 圖

第 1/17 頁



第 2/17 頁



第 3/17 頁

第 4/17 頁



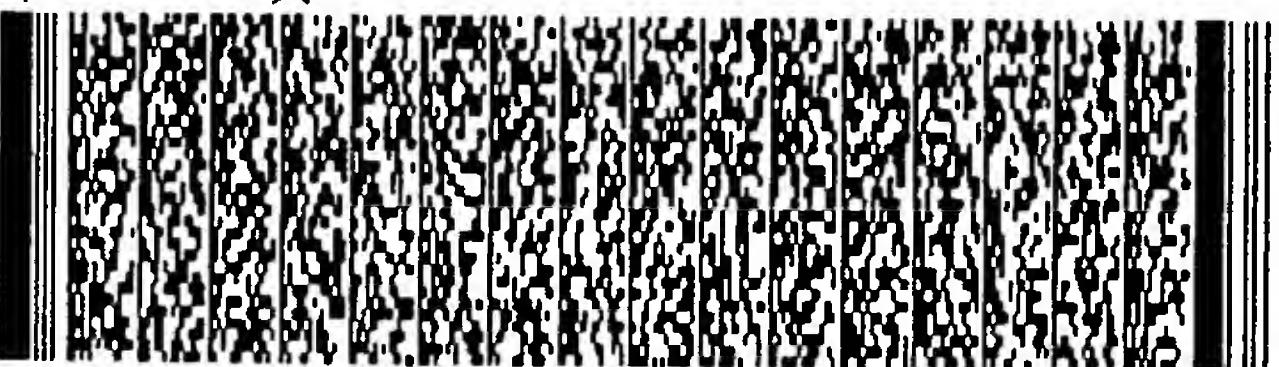
第 5/17 頁

第 6/17 頁

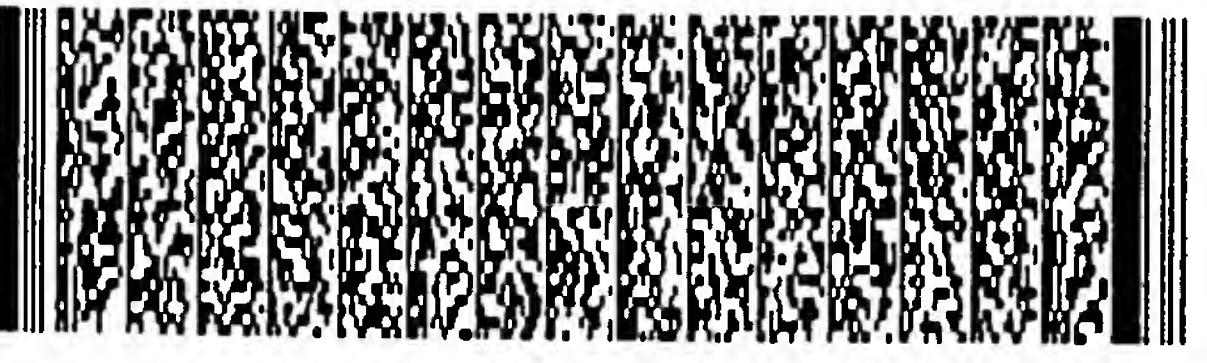
第 7/17 頁



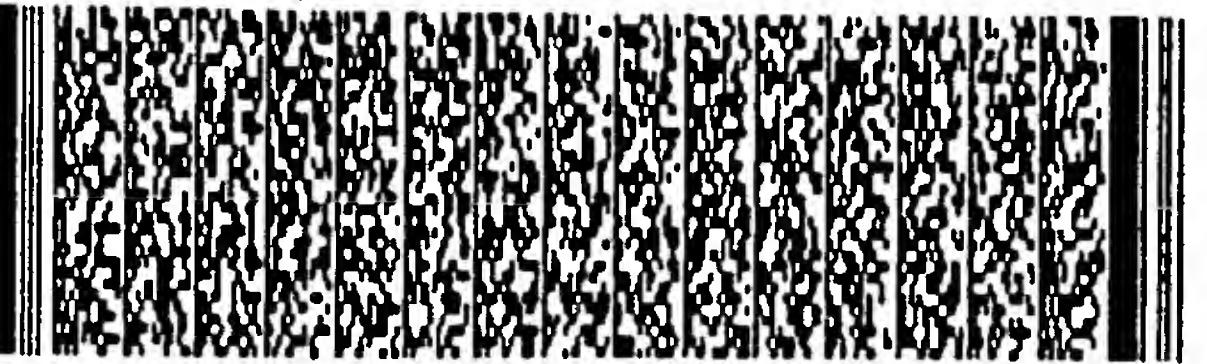
第 8/17 頁



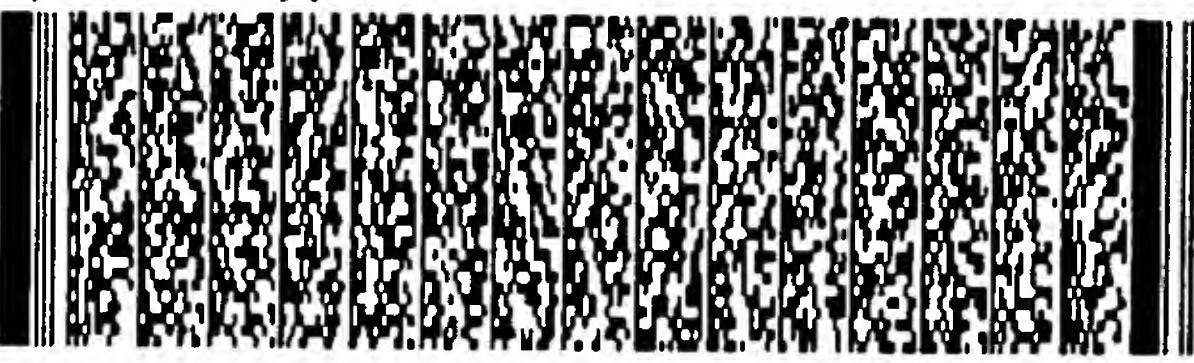
第 9/17 頁



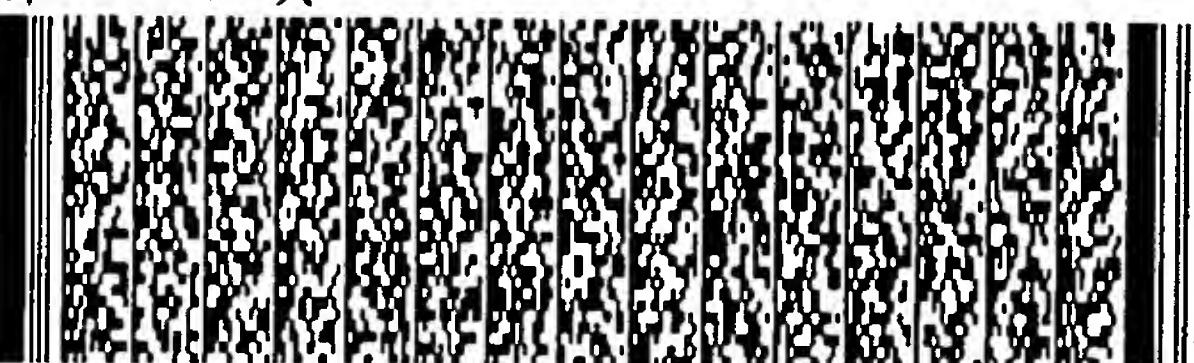
第 10/17 頁



第 2/17 頁



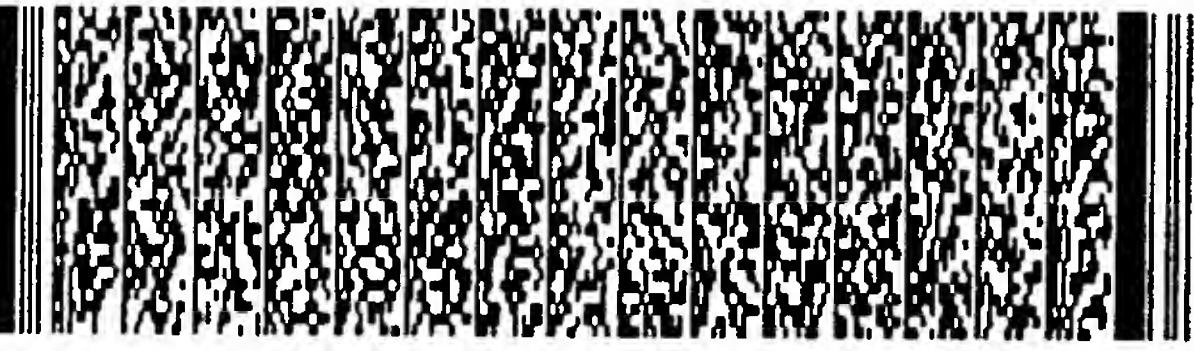
第 3/17 頁



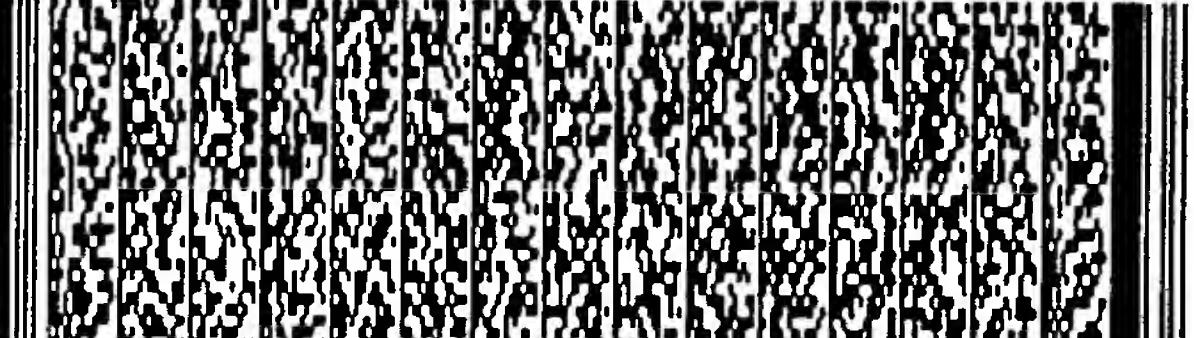
第 4/17 頁



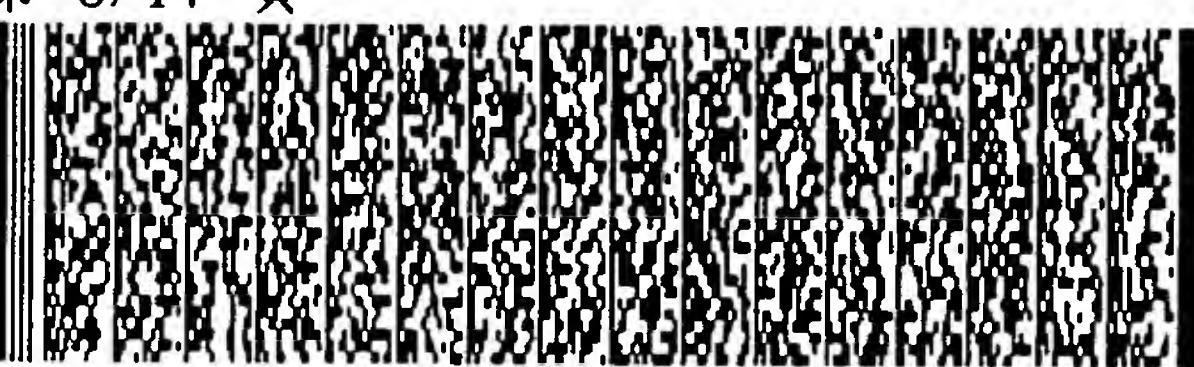
第 5/17 頁



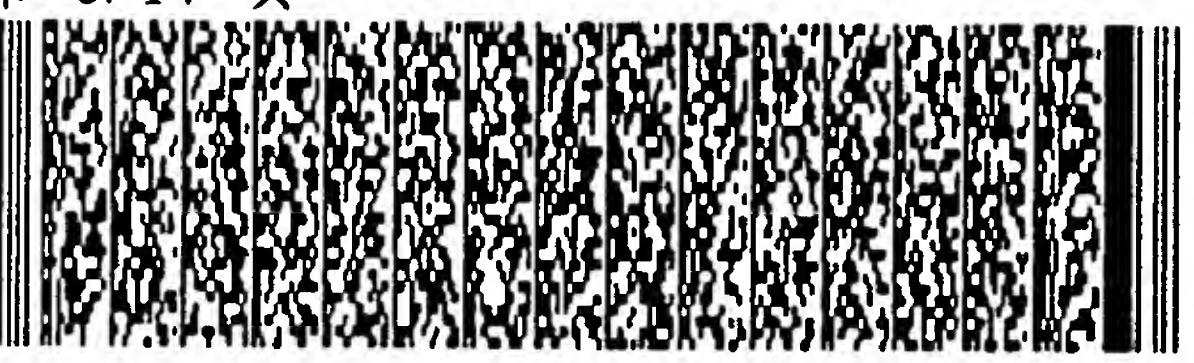
第 6/17 頁



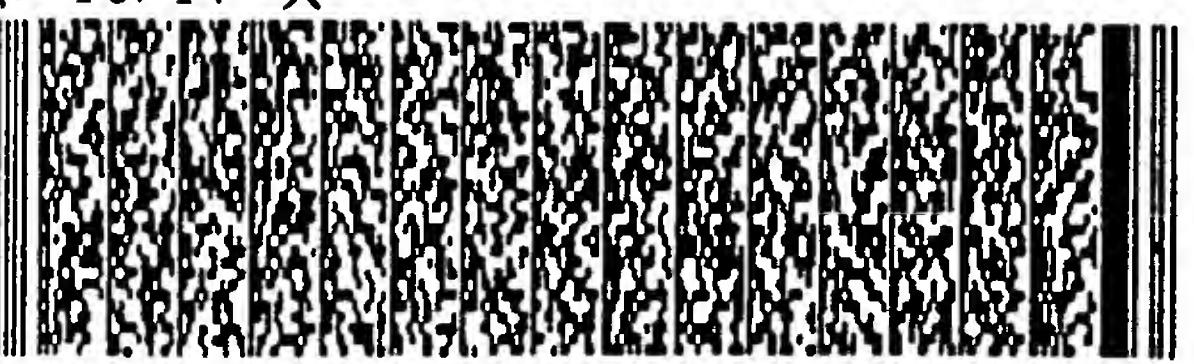
第 7/17 頁



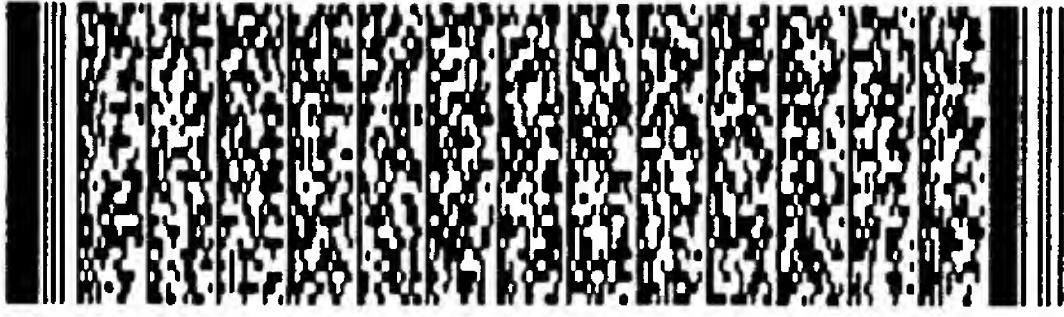
第 8/17 頁



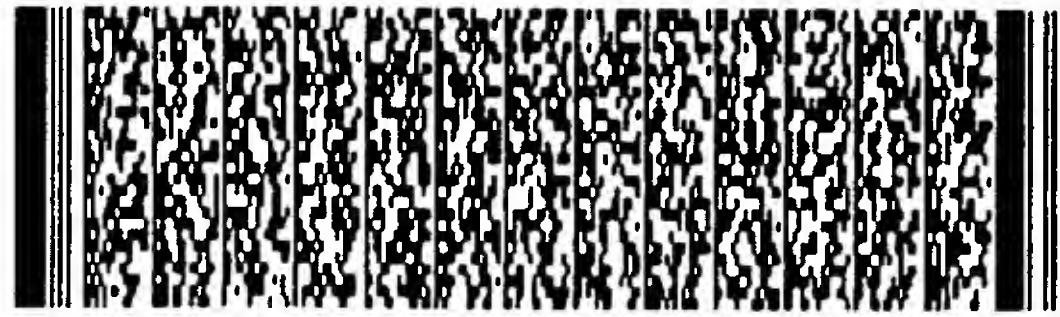
第 9/17 頁



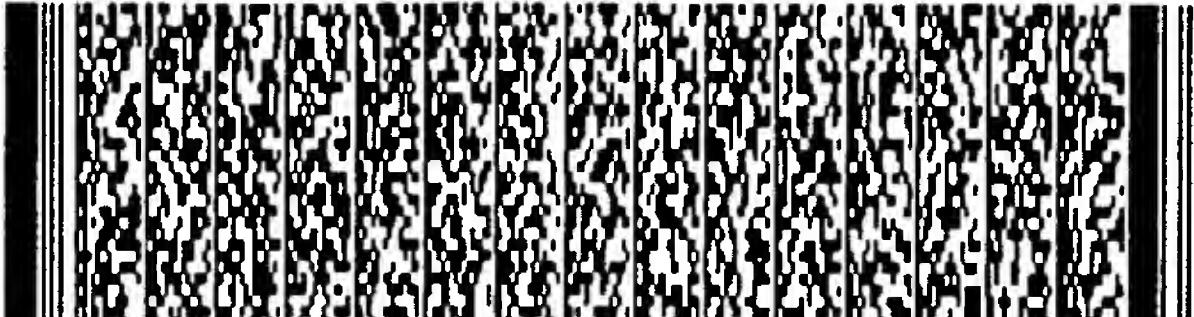
第 11/17 頁



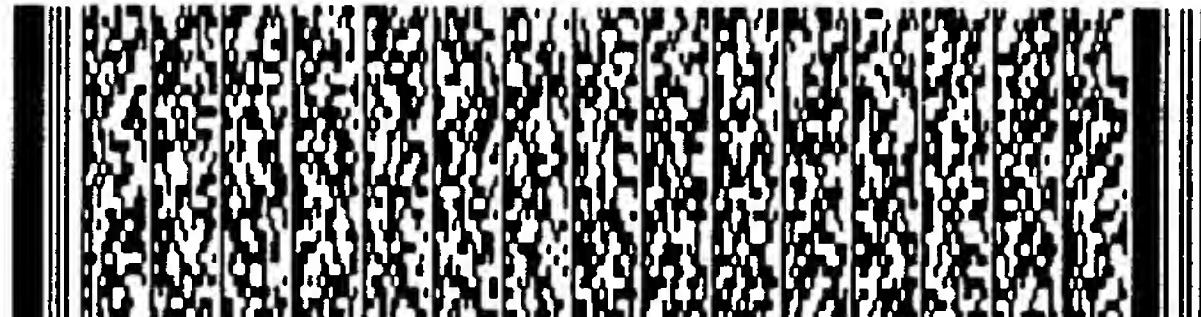
第 11/17 頁



第 12/17 頁



第 12/17 頁



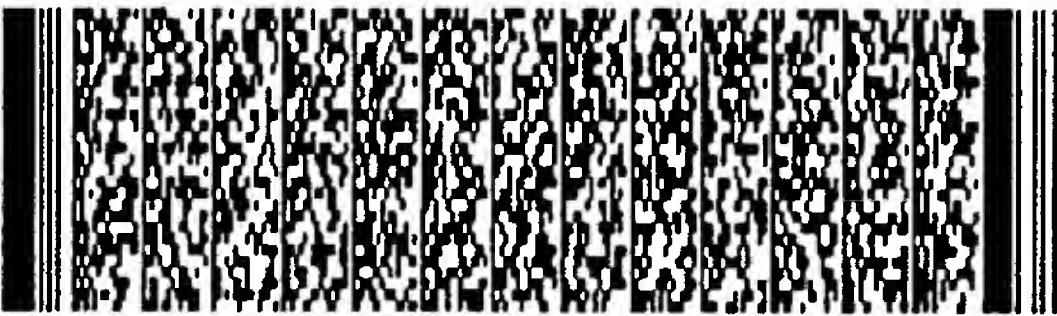
第 13/17 頁



第 13/17 頁



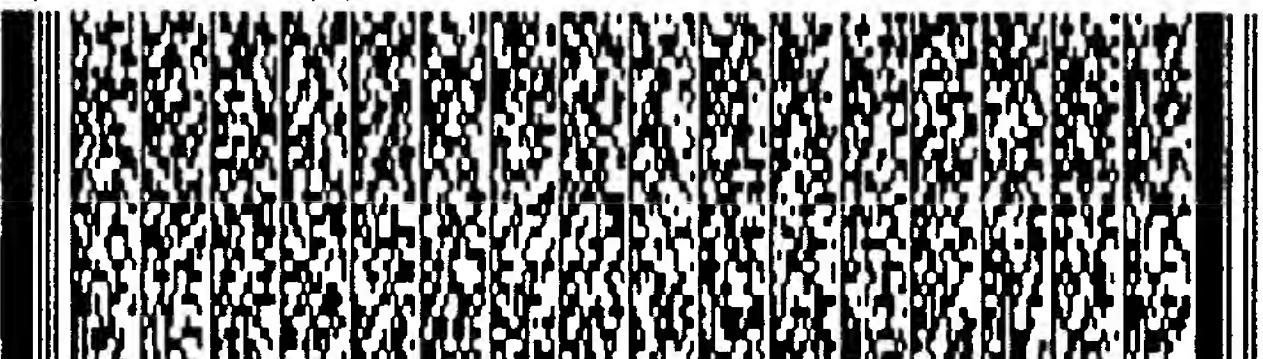
第 14/17 頁



第 14/17 頁



第 15/17 頁



第 15/17 頁



第 16/17 頁

第 16/17 頁

860
920